

НАСТАВНО-НАУЧНОМ ВЕЋУ

Предмет: Подобност теме и кандидата Игора Икодиновића за израду докторске дисертације

Одлуком бр. 943/1 од 4.3.2015. године, именовани смо за чланове Комисије за оцену подобности теме и кандидата Игора Икодиновића за израду докторске дисертације и научне заснованости теме „Методологија за анализу перформанси DRAM меморија са тачношћу на нивоу циклуса“.

На основу материјала приложеног уз Захтев кандидата, Комисија подноси следећи

ИЗВЕШТАЈ

1. Подаци о кандидату

1.1. Биографски подаци

Мр Игор Икодиновић је рођен 13.11.1972. године у Чачку. Основну школу, а потом Математичку Гимназију завршио је у Београду са просечном оценом 5.0. Уписао је Електротехнички факултет у Београду као другорангирани на заједничкој пријемној листи за све техничке факултете. Дипломирао је на одсеку за Рачунарску технику и информатику са укупном просечном оценом на студијама 8.93 и просеком оцена 9.45 из предмета са Катедре за рачунарску технику и информатику одбранивши рад под насловом ”Trace-driven симулација мултипроцесорских система”, а магистрирао на смеру Архитектура и организација рачунарских система и мрежа са просечном оценом 10.0 одбранивши магистарску тезу под насловом ”Мултипроцесорски систем намењен навигацији помоћу глобалног система за позиционирање”.

Током 1999. године био је ангажован на истраживачком пројекту из домена архитектуре мултипроцесорских система које је подржало и финансирало Министарство за науку и технологију Србије. Од 2000. године радио је на Електротехничком факултету у Београду као сарадник по уговору, а од 2001. године као стално запослен у звању асистента приправника при Катедри за рачунарску технику и информатику на предметима Архитектура рачунара, Мултипроцесорски системи, Дистрибуирани рачунарски системи, Програмски језици и Рачунарске основе примене Интернета. Од 2002. до 2006. године радио је у ATI Technologies Inc. (Торонто, Канада), једном од водећих светских произвођача графичких система за персоналне рачунаре, на месту сениор инжењера за перформансе интегрисаних VLSI система. Од 2006. до 2011. године радио је на месту сениор инжењера за ASIC дизајн у Advanced Micro Devices Inc. (AMD), једном од водећих светских произвођача процесорских система за персоналне и серверске платформе. Од 2011. до 2014. године радио је као виши сениор инжењер за архитектуру и анализу перформанси мултимедијалних подсистема у Qualcomm Inc., водећем светском произвођачу интегрисаних система за мобилне платформе. Од 2014. године ради у компанији HDL Design House у Београду као руководиоца на пројекатима из области дизајна и верификације VLSI система.

Аутор и коаутор је две књиге и неколико радова објављених у домаћим и страним стручним часописима и конференцијама. Редован је члан IEEE и ACM удружења од 2003. године.

1.2. Стечено научноистраживачко искуство

Испит о подобности теме и кандадата

Јавна усмена одбрана теме докторске дисертације одржана је 26.3.2015. на Електротехничком факултету у Београду. Чланови комисије су били др Мило Томашевић, др Миодраг Живковић и др Јелена Поповић-Божовић. Комисија је донела закључак да је кандидат задовољно.

Магистарски рад

Тема: Мултипроцесорски систем намењен навигацији помоћу глобалног система за позиционирање

Област истраживања: Архитектура и организација рачунарских система

Име ментора: др Вељко Милутиновић

Факултет: Електротехнички факултет, Универзитет у Београду

Датум одбране: 16.9.2003.

У оквиру магистарског рада предложен је SMP мултипроцесорски систем са заједничком магистралом као оптимална архитектура за примену у области навигације помоћу глобалног система за позиционирање. Предложена архитектура је анализирана са аспекта перформанси, цене и потрошње енергије и извршено је поређење са постојећим рачунарским системима у тој области примене. Анализа је рађена применом софтверских алата за симулацију мултипроцесорских система на чијем развоју је кандидат радио у оквиру свог дипломског рада. Посебна пажња је посвећена анализи рада меморијског подсистема. Закључено је да је у већини случајева оптимална конфигурација она у којој постоји само главна DRAM меморија за чување инструкција и података, уз могуће повећање перформанси додавањем инструкцијског кеша. Утицај DRAM меморије је апстрахован применом концепта идеалне меморије, што у модерним системима уноси велики ниво грешке. Пошто је тема предложене докторске дисертације тачна анализа рада DRAM меморије, у том смислу постоји природна веза између ова два истраживања.

Списак објављених радова

Категорија M14

1. Milutinovic V.: *Surviving the Design of Microprocessor and Multimicroprocessor Systems*, Wiley, USA, 2000, стр. 234-259, ISBN:0-471-35728-6

Категорија M23

1. Ikodinovic I., Dimitrijevic Z., Milutinovic V., Prete A. C.: Proposing the Architecture for a High-performance GPS-enabled Handheld Cartographic Display System, - International Journal of Computers and Applications, 2002

Категорија M33

1. I. Ikodinovic, D. Magdic, A. Milenkovic, V. Milutinovic: *Limes: A Multiprocessor Simulation Environment for PC Platforms*, - Proceedings of the 3rd International Conference on Parallel Processing and Applied Mathematics, Kazimierz Dolny, Poland, September 1999, pp. 398-412

Категорија M42

1. Радивојевић З., Икодиновић И., Јовановић З.: *Конкурентно и дистрибуирано програмирање*, Академска Мисао, Београд, Србија, 2008, 395 страна, ISBN: 978-86-7466-318-9
2. Икодиновић И., Радивојевић З., Јовановић З.: *Конкурентно програмирање: Теоријске основе са збирком решених задатака*, Академска Мисао, Београд, Србија, 2004, 187 страна, ISBN: 86-7466-155-6

Категорија M61

1. Ikodinovic I.: *The Next Generation of Microprocessors*, - VIPSI 2009, Belgrade, April 2, 2009

1. И. Икодиновић, Д. Крсмановић: *Симулатор MESI протокола за одржавање кеш кохеренције мултипроцесорских система базираних на заједничкој магистрали*, - Зборник радова са конференције XLII ETRAN, Врњачка Бања, Србија, свеска 3, јун 1998, стр. 142-145

1.3. Оцена подобности кандидата за рад на предложеној теми

Стручна област којом се кандидат бавио у већем периоду свог академског и професионалног рада је везана за архитектуру, организацију и перформансе рачунарских система и област симулације, моделовања и дизајна VLSI рачунарских система. Ове области су у непосредној вези са темом докторске дисертације.

На основу биографије кандидата, теме магистарског рада, као и листе објављених радова, може се закључити да кандидат поседује висок степен потребног стручног знања. Као асистент на Електротехничком факултету у Београду, био је ангажован на предметима из области архитектуре рачунара, а дуги низ година је радио и на одговорним позицијама у водећим светским компанијама на пословима анализе перформанси, архитектуре и дизајна рачунарских система.

На основу резултата досадашњег рада и оствареног искуства сматрамо да кандидат има висок ниво способности за рад на предложеној теми докторске дисертације.

2. Предмет и циљ истраживања

Једна од кључних компоненти сваког рачунарског система је главна меморија. Главна меморија се у савременим рачунарским системима најчешће имплементира помоћу меморија типа DRAM (енгл. Dynamic RAM). С обзиром на централно место које DRAM заузима у оквиру рачунарског система, тачно мерење перформанси DRAM меморија је суштински важно за анализу његовог рада. Нетачно мерење може имати различите последице: сакривање пропуста у архитектури система, дизајну или софтверу, вођење анализе у правцу трагања за непостојећим хардверским и софтверским проблемима, а у крајњем случају и стварање зачараног круга где је немогуће одвојити узрок од последице. Такве ситуације се не могу увек лако препознати и могу довести до значајног губитка времена, труда и новца.

Имајући у виду да DRAM значајно утиче на цену и перформансе система као једна од његових кључних компоненти, као и да посредно утиче на целокупну организацију система, како због утицаја на елементе меморијске хијерархије (нпр. тип, ширину и брзину меморијске магистрале, параметре меморијског контролера и сл.), тако и због утицаја на остале делове система (нпр. посредно може да дефинише минималну потребну брзину рада или величину појединих компоненти), перформансама DRAM меморије се посвећује велика пажња приликом пројектовања. Пошто се не види технологија која би у догледном времену могла да замени DRAM, може се очекивати да ће анализа перформанси DRAM меморија имати велики значај и у будућности. Са једне стране, напредак у технологији израде полупроводника из физичких разлога има већи ефекат на повећање брзине рада процесних елемената него на повећање брзине рада DRAM меморија, што доводи до стварања све већег јаза између меморије и остатка система. Ова појава чини да DRAM све више постаје уско грло, што заузврат захтева већу тачност приликом анализе. Са друге стране, стална потреба за повећањем могућности пројектованих система, појава виртуелизације и употреба све већег броја апликационих и DSP процесора, мултимедијалних акцелератора и улазно-излазних контролера у савременим рачунарским системима доводи до повећавања меморијског саобраћаја и његове све веће непредвидљивости, што додатно погоршава тај проблем. Као

последица ових трендова, тачна анализа перформанси DRAM меморије, као једне од критичних компоненти, се намеће као неопходан услов за квалитетну анализу рада рачунарских система.

Кључни проблем у анализи перформанси DRAM меморија је опсервабилност стања циклуса на меморијској магистрали. Протокол за комуникацију између DRAM меморије и остатка система не омогућава да се непосредно може утврдити да ли су поједини циклуси на меморијској магистрали слободни или заузети, што ствара проблем са мерењем чак и основних показатеља меморијских перформанси, као што су степен искоришћења и ефикасност. Чак и за оне показатеље меморијских перформанси које је могуће непосредно мерити, као што је проток података, постоји проблем у вези са чињеницом да се, због природе меморијског протокола и динамике система, теоријски максимум континуирано мења, што доводи до проблема интерпретације измерених вредности. Ови проблеми се могу изразити и као немогућност да се одговори на следећа кључна питања: „Колико су измерене перформансе DRAM меморија добре/лоше?“ и „Како поредити перформансе DRAM меморија измерене у различитим периодима и за различита радна оптерећења?“.

Ови фундаментални проблеми у вези са мерењем перформанси DRAM меморија до сада нису имали адекватно решење. Имајући то у виду, као главни циљ истраживања је постављено проналажење решења за наведене проблеме у вези са анализом перформанси DRAM меморија. То подразумева изналажење нове теоријске основе за анализу меморијских перформанси, као и формулацију методологије базиране на тој основи која би дефинисала како да се мерење и анализа спроводе у пракси. Предложена методологија треба да омогући битан напредак у анализи перформанси DRAM меморија у односу на постојеће методе са циљем да их замени у свим доменима где су тачност и ефикасност од примарног значаја, као и да отвори могућност за примену у новим областима где то до сада није било могуће. Решавањем проблема тачне анализе перформанси DRAM меморија се и целокупан процес анализе рада рачунарских система подиже на квантитативно и квалитативно виши ниво.

Истраживање у предложеној дисертацији полази од анализе структуре и рада DRAM меморија, одговарајућих протокола и фактора који утичу на његове перформансе. За анализу ће бити коришћени следећи референтни извори:

1. Haraszi T. P.: *CMOS Memory Circuits*, Kluwer, 2002
2. Keeth B., Baker R. J., Johnson B., Lin F.: *DRAM Circuit Design: Fundamental and High-Speed Topics*, Wiley-IEEE Press, 2007
3. Baker R. J.: *CMOS: circuit design, layout, and simulation*, Revised 2nd Edition, Wiley-Interscience, 2008, pp. 433-483
4. *General SDRAM Functions*, JEDEC Standard 21-C, June 2002, pp. 3.11.5.1-1 - 3.11.5.1-20
5. *JEDEC Standard JESD79F: DDR SDRAM Specification*, February 2008
6. *JEDEC Standard JESD79-2E: DDR2 SDRAM Specification*, April 2008
7. *JEDEC Standard JESD79-3C: DDR3 SDRAM Specification*, April 2008
8. *JEDEC Standard JESD209B: Low Power Double Data Rate (LPDDR) SDRAM Standard*, February 2010
9. *JEDEC Standard JESD209-2D: Low Power Double Data Rate 2 (LPDDR2) Specification*, December 2010
10. *DDR SGRAM Specification: 144 Pin DDR SGRAM SO-DIMM Family*, JEDEC Standard JESD21-C, March 1999, pp. 4.5.9-1 - 4.5.9-10
11. *GDDR2 Specific SGRAM Functions*, JEDEC Standard JESD21-C, May 2005, pp. 3.11.5.6-1 - 3.11.5.6-3
12. *GDDR3 Specific SGRAM Functions*, JEDEC Standard JESD21-C, May 2005, pp. 3.11.5.7-11.5.7-19
13. *GDDR4 Specific SGRAM Functions: GDDR4 SGRAM Specification*, JEDEC Standard JESD21-C, November 2005, pp. 3.11.5.8-1 - 3.11.5.8-72
14. *JEDEC Standard JESD212: GDDR5 SGRAM Specification*, December 2009
15. *JEDEC Standard JESD206: FB DIMM Architecture and Protocol*, January 2007

Истраживање ће разматрати два до сада најчешће коришћена приступа. Један приступ се базира на увођењу различитих претпоставки за поједностављено моделовање рада DRAM меморија, што у неким случајевима омогућава добијање употребљивих, али никада потпуно тачних резултата. Виртуелизација и велики број меморијских клијената у модерним рачунарским системима чине да меморијски саобраћај постаје веома непредвидљив, па се понашање DRAM меморије више не може поуздано апроксимирати, тако да грешка мерења постаје неприхватљиво велика. Биће коришћени следећи библиографски извори који се односе на овај приступ:

16. Cuppu V., Jacob B., Davis B., Mudge T.: *High-Performance DRAMs in Workstation Environments*, IEEE Transactions on Computers, vol. 50, no. 11, November 2001, pp. 1133-1153
17. Rixner S. et al.: *Memory access scheduling*, Proceedings of the 27th annual international symposium on Computer architecture, Vancouver, British Columbia, Canada, June 2000, pp. 128-138
18. Yuan G.L., Aamodt T.M.: *A Hybrid Analytical DRAM Performance Model*, Fifth Annual Workshop on Modeling, Benchmarking and Simulation, Austin, Texas, June 2009

Други приступ се базира на примени методе симулације. У оквиру тог приступа, карактеризација меморијских циклуса на слободне и заузете се врши на основу интерних сигнала модела меморијског контролера који се користи за симулациону анализу. Мане овог приступа у пракси су вишеструке. Он захтева креирање тачног модела меморијског подсистема, као и одговарајуће симулационо окружење. Ако модел у свим елементима не одговара стварном систему, резултујући меморијски саобраћај неће бити веродостојан, па није могуће поуздано мерити ни анализирати перформансе меморије. Такође, генерисање одговарајућег радног оптерећења је често непремостив проблем у пракси, јер се утицаји различитих елемената система, као што је рад оперативног система и симултани рад различитих компоненти, тешко моделирају. Мана је и што, с обзиром да се потребни резултати генеришу динамички у току симулације, анализа перформанси сваке меморијске секвенце захтева ново покретање симулације, што често има неприхватљиву цену узимајући у обзир дужину трајања симулација и ресурсе који се при том ангажују. Коначно, метода симулације сама по себи не омогућава решавање проблема интерпретације добијених резултата, јер не нуди решење за рачунање теоријског максимума. Следећи библиографски извори се односе на приступ базиран на примени методе симулације:

19. Jacob B., Ng S. W., Wang D. T.: *Memory Systems: Cache, DRAM, Disk*, Morgan Kaufmann, 2007
20. Wang D., Ganesh B., Tuaycharoen N., Baynes K., Jaleel A., Jacob B.: *DRAMsim: A Memory System Simulator*, ACM SIGARCH Computer Arch. News, Vol. 33, No. 4, September 2005, pp. 100-107
21. Rosenfeld P., Cooper-Balis E., Jacob B.: *DRAMSim2: A Cycle Accurate Memory System Simulator*, IEEE Computer Architecture Letters, Vol. 10, Issue 11, 2011, pp. 16-19

3. Полазне хипотезе

Истраживање се базира на три кључне хипотезе. Прва хипотеза је да се функционалност DRAM меморија може апстраховати у облику општег модела који се може применити на различите типове DRAM меморија. Друга хипотеза подразумева да је теоријски могуће моделирати перформансе DRAM меморија са тачношћу на нивоу циклуса. Трећа хипотеза подразумева да се параметри за анализу перформанси DRAM меморија дефинисани у оквиру формираног модела за мерење и анализу перформанси могу мерити на основу сигнала који се могу опсервирати на меморијској магистрали, без потребе за увидом у интерне сигнале DRAM меморије или других делова система. Такође се претпоставља да је такав модел увек могуће конструисати, јер без тога резултати истраживања не би имали неопходну општост.

Све савремене DRAM меморије се пројектују у складу са спецификацијама које креира JEDEC - удружење произвођача полупроводничких уређаја чији је циљ усвајање стандарда за повезивање различитих електронских компоненти. У пракси се све меморије по JEDEC

стандардима пројектују као синхроне (енгл. SDRAM - Synchronous DRAM). Истраживање ће се зато ограничити превасходно на DRAM меморије које су дефинисане у складу са JEDEC SDRAM стандардима. Иако се JEDEC SDRAM стандарди међусобно разликују, претпоставља се да је сваки од њих довољно свеобухватан да укључи све суштински битне параметре од значаја за пројектовање, примену и анализу перформанси DRAM меморија. Сходно томе, у оквиру истраживања ће се користити JEDEC DDR2 SDRAM стандард као пример за демонстрацију предложене методологије, али без ограничења у смислу применљивости на друге стандарде, задржавајући тако општи карактер.

У оквиру истраживања се неће правити претпоставке у вези са организацијом меморијског подсистема, тј. начина на који су DRAM чипови повезани са остатком система. Предложена методологија треба да буде довољно генеричка да се може успешно применити без обзира на конкретну организацију меморије.

4. Научне методе истраживања

Анализа перформанси DRAM меморија захтева примену аналитичких метода како би се разумели кључни принципи рада DRAM меморија и идентификовали сви битни параметри који утичу на њихов рад. На основу тога се применом метода апстракције и моделовања формира општи функционални модел DRAM меморија погодан за формирања теоријског модела за мерење и анализу перформанси.

На основу анализе карактеристика општег функционалног модела DRAM меморија применом методе дедукције се креирају основне поставке за формирање теоријског модела за мерење и анализу перформанси DRAM меморија. Валидност добијеног теоријског модела се потврђује применом методе симулације. Методе синтезе и конкретизације се користе како би се на основу добијеног теоријског модела формулисали сви елементи методологије за мерење и анализу перформанси DRAM меморија.

Анализа карактеристика предложене методологије се ради применом методе компарације, при чему се поређење врши у односу на постојеће методе за мерење и анализу перформанси DRAM меморија. При том, све методологије се методом класификације сврставају у једну од категорија дефинисаних према раније утврђеним параметрима.

5. Очекивани научни допринос

Од предложене теме докторске дисертације се очекују следећи научни доприноси:

- Унапређење стручног образовања у областима које се тичу рачунарских DRAM меморија
- Омогућавање нових метода за анализу рада и пројектовање меморијских контролера
- Квантитативно и квалитативно унапређење анализе рада DRAM меморија (подизање са нивоа инжењерске вештине на ниво научно-стручне дисциплине)
- Унапређење анализе рада рачунарских система на системском нивоу
- Проширивање области примене анализе рада DRAM меморија
- Повећање ефикасности у анализи рада рачунарских система

Образложење:

Формирање општег функционалног модела DRAM меморија са тачноћу на нивоу циклуса омогућава да се DRAM меморија може посматрати као генерички уређај, независно од физичких карактеристика конкретне имплементације. То омогућава примену оваквог модела не само у системској анализи, већ и за пројектовање DRAM меморијских контролера, а у ширем контексту и у областима као што је стручно образовање.

Нове метрика за мерење и анализу перформанси DRAM меморија има за циљ да реши проблем тачности мерења тако што поставља теоријски основ у области анализе рада DRAM меморија. На тај начин се ова област систематизује на чврстим математичким основама и из инжењерске вештине (енгл. art) пребацује у домен научно-стручне дисциплине.

Нови модел за мерење и анализу перформанси DRAM меморија са тачношћу на нивоу циклуса представља нови основни алат у анализи рада DRAM меморија. Он треба да омогући да се перформансе DRAM меморије могу мерити и анализирати на највишем нивоу апстракције, без потребе да се разумеју детаљи рада DRAM меморије. На тај начин се знатно олакшава рад у областима као што су системска и архитектурална анализа где комплексност система захтева тачно, али једноставно, моделовање.

Коначно, нова методологија за мерење и анализу перформанси DRAM меморија треба да омогући тачно мерење максимума перформанси DRAM меморија и на тај начин реши проблем интерпретације измерених резултата, што је био један од кључних проблема у системској анализи. Његово решавање подиже процес анализе рада рачунарских система на квантитативно и квалитативно виши ниво. Истовремено, методолошки приступ проблему анализе перформанси DRAM меморија омогућава једноставну примену на инжењерском нивоу, чиме се додатно подиже ефикасност у примени.

6. План истраживања и структура рада

Истраживање ће се обављати у следећим фазама:

1. Анализа постојећих методологија за анализу перформанси DRAM меморија.
2. Анализа рада DRAM меморија кроз проучавање литературе и индустријских спецификација, уз идентификацију свих параметара који утичу на његов рад.
3. Формирање општег функционалног модела DRAM меморија који апстрахује DRAM меморију у облику генеричког уређаја контролисаног одговарајућим параметрима.
4. Формулисање метрике за мерење и анализу перформанси DRAM меморија са тачношћу на нивоу циклуса.
5. Формирање теоријског модела за мерење и анализу перформанси DRAM меморија са тачношћу на нивоу циклуса на бази претходно дефинисане метрике.
6. Креирање методе за процену и мерење максимума перформанси DRAM меморија са тачношћу на нивоу циклуса.
7. Формулација методологије за мерење и анализу перформанси DRAM меморија са тачношћу на нивоу циклуса.

У оквиру истраживање ће се користити софтверски алати за развој, моделирање и симулацију рачунарских система, као и уређај за снимање саобраћаја на меморијској магистрали (енгл. DRAM probe).

7. Закључак и предлог

Немогућност тачног мерења и анализе перформанси DRAM меморија постаје значајан проблем у анализи рада савремених рачунарских система. Решавање овог проблема је суштински битно за ову област и значајно би је унапредило и са теоријског и са практичног аспекта. Пошто је тема докторске дисертације проистекла из актуелног стручног проблема, њена правилна обрада несумњиво може да резултира научним резултатом потребним за израду докторске дисертације. Претходно научноистраживачко и стручно искуство кандидата из домена архитектуре и организације рачунарских система, као и дизајна и верификације VLSI система показују да он поседује висок степен потребног стручног знања да спроведе

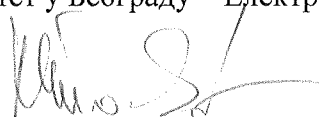
истраживање у складу са предложеном темом докторске дисертације, као и друге квалитете потребне за његову реализацију.

Имајући у виду наведено, предлажемо Наставно-научном већу Електротехничког факултета у Универзитета у Београду да прихвати предложену тему под насловом: „Методологија за анализу перформанси DRAM меморија са тачношћу на нивоу циклуса“ из области Архитектуре и организације рачунарских система и да прихвати др Вељка Милутиновића за ментора рада.

ЧЛАНОВИ КОМИСИЈЕ



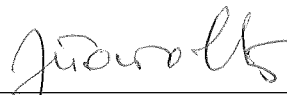
др Вељко Милутиновић, редовни професор
Универзитет у Београду – Електротехнички факултет



др Мило Томашевић, ванредни професор
Универзитет у Београду – Електротехнички факултет



др Миодраг Живковић, редовни професор
Универзитет у Београду – Математички факултет



др Јелена Поповић-Божовић, доцент
Универзитет у Београду – Електротехнички факултет